

DERWENT-ACC-NO: 1998-223239

DERWENT-WEEK: 199820

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Wiring board for circuit elements - has marks
formed by selective etching of resist layer which are
filled with solder paste

PATENT-ASSIGNEE: TOKYO ELECTRIC CO LTD[TODK]

PRIORITY-DATA: 1996JP-0220847 (August 22, 1996)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	
PAGES MAIN-IPC			
JP 10065291 A	March 6, 1998	N/A	003
H05K 001/02			

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 10065291A	N/A	1996JP-0220847
August 22, 1996		

INT-CL (IPC): H05K001/02, H05K003/00

ABSTRACTED-PUB-NO: JP 10065291A

BASIC-ABSTRACT:

The wiring board has the substrate main body (1) on which an electrically conductive pattern (2) is formed. A resist layer (3) is then formed on the conductive pattern.

Marks (5) are formed by selective etching of the resist layer. A solder paste (6) is then filled in the marks.

ADVANTAGE - Enables easy and correct recognition of marks. Prevents oxidation of marks.

CHOSEN-DRAWING: Dwg.1/3

TITLE-TERMS: WIRE BOARD CIRCUIT ELEMENT MARK FORMING SELECT ETCH RESIST LAYER

FILLED SOLDER PASTE

forming marks on front surface

DERWENT-CLASS: V04

EPI-CODES: V04-Q05; V04-R07;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1998-177095

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-65291

(43) 公開日 平成10年(1998) 3月6日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K 1/02			H 0 5 K 1/02	R
3/00			3/00	P

審査請求 未請求 請求項の数 2 O L (全 3 頁)

(21) 出願番号 特願平8-220847

(22) 出願日 平成8年(1996) 8月22日

(71) 出願人 000003562

株式会社テック

静岡県田方郡大仁町大仁570番地

(72) 発明者 原 啓

静岡県田方郡大仁町大仁570番地 株式会
社テック大仁事業所内

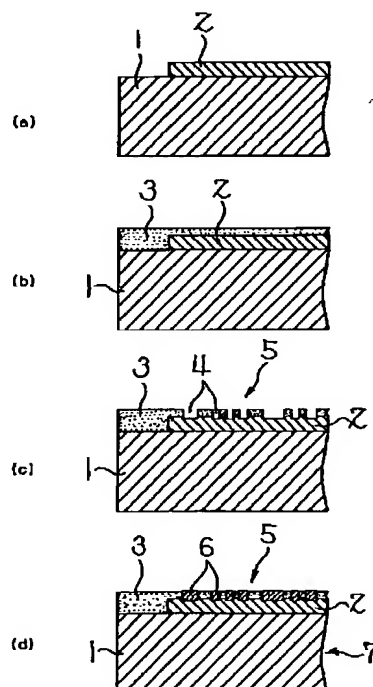
(74) 代理人 弁理士 柏木 明 (外1名)

(54) 【発明の名称】 配線基板及び配線基板におけるマーキング方法

(57) 【要約】

【課題】 導電パターン上に形成されたマークの酸化を防止するとともに、マークを正確かつ容易に読み取ることができるようにする。

【解決手段】 回路素子を接続するための導電パターン2が表面に形成された基板本体1と、導電パターン2上に成膜されたレジスト層3と、このレジスト層3の一部を剥離して導電パターン2上に形成されたマーク5を覆う半田ペースト6とを具備する。したがって、マーク5が半田ペースト6により外気から遮断されるため、マーク5の酸化を防止することができる。また、マーク5上の半田ペースト6は表面粗さが周囲より粗いため、外光を受けた場合にマーク5の部分では反射光が散乱する状態が得られる。したがって、この反射光の散乱状態によりマーク5を正確かつ容易に認識することが可能となる。



【特許請求の範囲】

【請求項1】 回路素子を接続するための導電パターンが表面に形成された基板本体と、前記導電パターン上に成膜されたレジスト層と、このレジスト層の一部を剥離して前記導電パターン上に形成されたマークを覆う半田ペーストとを具備する配線基板。

【請求項2】 回路素子を接続するために基板本体の表面に形成された導電パターン上にレジスト層を成膜し、このレジスト層の一部にレーザー光を走査して前記レジスト層を剥離することにより前記導電パターンの表面の一部を露出してマークを形成し、このマークの上に半田ペーストを溶着するようにしたことを特徴とする配線基板におけるマーキング方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、配線基板及び配線基板におけるマーキング方法に関する。

【0002】

【従来の技術】一般に、回路素子を接続する配線基板等には、製造ロットを管理するために、仕様に関するデータ、製造年月日、ロット番号等を識別するためのマークが形成されている。そこで、配線基板には回路素子を接続するための導電パターンが形成されていることに着目し、導電パターン上にレジスト層を成膜し、このレジスト層の上から所望のマークに対応する走査パターンをもってレーザー光を走査することにより、レジスト層の一部を剥離して導電パターンを露出することによりマークを形成することが行われている。

【0003】

【発明が解決しようとする課題】基板本体上の導電パターンは一般に銅箔が用いられているので、導電パターンを露出させたマークとそれ以外の部分とのコントラストが低く読み取りが困難であり、また、マークが酸化し易い。

【0004】

【課題を解決するための手段】請求項1記載の発明は、回路素子を接続するための導電パターンが表面に形成された基板本体と、前記導電パターン上に成膜されたレジスト層と、このレジスト層の一部を剥離して前記導電パターン上に形成されたマークを覆う半田ペーストとを具備する配線基板である。したがって、マークが半田ペーストにより外気から遮断される。また、マーク上の半田ペーストは表面粗さが周囲より粗いため、外光を受けた場合にマーク部分では反射光が散乱する状態が得られる。

【0005】請求項2記載の発明は、回路素子を接続するために基板本体の表面に形成された導電パターン上にレジスト層を成膜し、このレジスト層の一部にレーザー光を走査して前記レジスト層を剥離することにより前記導電パターンの表面の一部を露出してマークを形成し、

このマークの上に半田ペーストを溶着するようにした配線基板におけるマーキング方法である。したがって、導電パターン上のレジスト層にレーザー光を走査するとレジスト層が剥離されるため、その剥離された部分をもってマークが形成される。このマークは半田ペーストにより外気から遮断される。また、マーク上の半田ペーストは表面粗さが周囲より粗いため、外光を受けた場合にマーク部分では反射光が散乱する状態が得られる。

【0006】

【発明の実施の形態】本発明の一実施の形態における配線基板におけるマーキング方法を図1に基づいて説明する。まず、図1(a)に示すように基板本体1を用意する。この基板本体1の表面には回路素子(図示せず)を接続するために導電パターン(銅箔)2が形成されている。次に、図1(b)に示すように、基板本体1の表面に導電パターン2を覆うようにレジスト層3を成膜する。次に、図1(c)に示すようにレジスト層3の一部にレーザー光を走査してレジスト層3の一部を除去し溝4を形成する。この溝4の形成パターンによりマーク5が形成される。この場合、溝4の深さ寸法をレジスト層3の厚さ寸法よりも僅かに大きくすることにより、マーク5を形成する部分にレジスト層3が残らないようにしている。次に、図1(d)に示すように、マーク5の上に半田ペースト6を溶着する。

【0007】このようにして形成されたマーク5は、この例では配線基板7としての仕様に関するデータ、製造年月日、ロット番号等を識別するためのバーコードである。このマーク5は半田ペースト6により外気から遮断されるため、酸化を防止することができる。また、マーク5上の半田ペースト6は表面粗さが周囲より粗いため、外光を受けた場合にマーク5を形成した部分では反射光が散乱する状態が得られる。したがって、その反射光の散乱状態によってマーク5を正確かつ容易に認識することが可能となる。

【0008】次に、基板本体1上にレーザー光を走査する具体的な方法について説明する。図2に示す例は、基板本体1の真上に、結像レンズ8と、所望のマークに対応してレーザー光9を通す透光パターン10が形成されたマスク11とを順次配列し、マスク11の上方からレーザー光9を走査し、透光パターン10を通ったレーザー光9を結像レンズ8により基板本体1の表面に結像することにより、レジスト層3の一部を剥離して導電パターン2の一部を露出することによりマーク5を形成する方法である。

【0009】図3に示す例は、基板本体1の真上に結像レンズ8を配設し、レーザー発光部(図示せず)と結像レンズ8との間の光路中に二つのガルバノミラー12、13を配設し、これらのガルバノミラー12、13により偏向されたレーザー光9を結像レンズ8により基板本体1の表面に結像する例である。この場合、ガルバノミ

3

ラー12、13を互いに回転軸が直交するように配列し、それぞれモータ14で回動させることにより、基板本体1の表面においてレーザー光9が二次元方向に走査される。

【0010】

【発明の効果】請求項1記載の発明の配線基板は、回路素子を接続するための導電パターンが表面に形成された基板本体と、前記導電パターン上に成膜されたレジスト層と、このレジスト層の一部を剥離して前記導電パターン上に形成されたマークを覆う半田ペーストとを具備する。マークが半田ペーストにより外気から遮断されるため、マークの酸化を防止することができる。また、マーク上の半田ペーストは表面粗さが周囲より粗いため、外光を受けた場合にマーク部分では反射光が散乱する状態が得られる。したがって、この反射光の散乱状態によりマークを正確かつ容易に認識することができる。

【0011】請求項2記載の発明の回路基板におけるマーキング方法は、回路素子を接続するために基板本体の表面に形成された導電パターン上にレジスト層を成膜し、このレジスト層の一部にレーザー光を走査して前記レジスト層を剥離することにより前記導電パターンの表面の一部を露出してマークを形成し、このマークの上に半田ペーストを溶着するようにしたので、導電パターン上のレジスト層にレーザー光を走査するとレジスト層が

4

剥離されるため、その剥離された部分をもってマークが形成される。このマークは半田ペーストにより外気から遮断されるため、マークの酸化を防止することができる。また、マーク上の半田ペーストは表面粗さが周囲より粗いため、マークの酸化を防止することができる。また、マーク上の半田ペーストは表面粗さが周囲より粗いため、外光を受けた場合にマーク部分では反射光が散乱する状態が得られる。したがって、この反射光の散乱状態によりマークを正確かつ容易に認識することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態におけるマーキングの工程を示す一部の縦断側面図である。

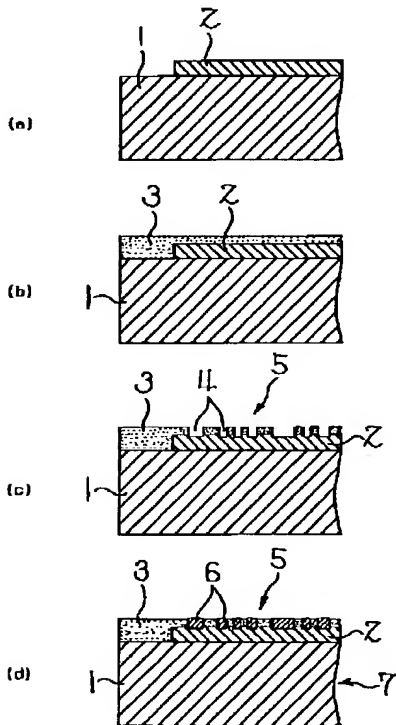
【図2】基板本体上に対するレーザー光の走査方法を示す斜視図である。

【図3】基板本体上に対するレーザー光の走査方法を示す斜視図である。

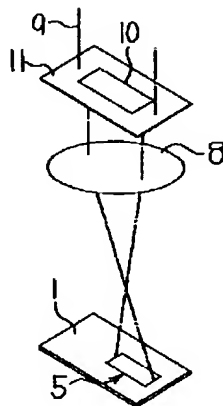
【符号の説明】

- | | |
|---|--------|
| 1 | 基板本体 |
| 2 | 導電パターン |
| 3 | レジスト層 |
| 5 | マーク |
| 6 | 半田ペースト |

【図1】



【図2】



【図3】

